ESTUDO DOS EFEITOS DA DEPLEÇÃO DO SILÍCIO POLICRISTALINO E DA CORRENTE DE TUNELAMENTO EM CAPACITORES MOS

Michele Rodrigues[1], Victor Sonnenberg[2], João Antonio Martino[3]
[1] Aluna de doutorado da Escola Politécnica da USP
[2] Prof. Dr. do curso MPCE da FATEC-SP
[3] Prof. Dr. da Escola Politécnica da Universidade de São Paulo (EPUSP)
michele@lsi.usp.br, sonnen@fatecsp.br, martino@lsi.usp.br

Resumo

Neste trabalho é apresentado um estudo dos efeitos da depleção do silício policristalino e da corrente de tunelamento em capacitores MOS que surgem para óxidos de porta menores que 3nm.

Curvas da capacitância em função da tensão de porta (C-V), simuladas e experimentais, foram utilizadas para a analise destes efeitos.

Um novo método para a determinação da concentração de dopantes no substrato e no silício policristalino, através de curvas C-V de alta freqüência, é apresentado.

Simulações numéricas bidimensionais e medidas experimentais são utilizadas para validação da análise e do método.

1. Introdução

Atualmente, a tecnologia MOS proporciona a fabricação de dispositivos de alta qualidade com dimensões de porta submicrométricas (L<100nm) e baixo consumo de potência, devido ao melhor controle da contaminação e das etapas de limpeza, que proporcionam uma melhor estabilidade das propriedades da interface óxido/silício entre outros fatores.

A espessura do óxido de porta (t_{ox}) precisa ser escalada linearmente com o comprimento do canal(t_{ox}=L/40) [1], para manter-se o mesmo controle sobre as cargas do canal e evitar o efeito de canal curto.

Esta necessária redução do óxido de porta, traz alguns problemas que atrapalham o bom desempenho dos dispositivos MOS. Um dos problemas é o caso de dispositivos com porta de silício policristalino (Si-poli), que dependendo da concentração de dopantes próximo da interface Si-poli/óxido, pode depletar em certas condições de polarização, efeito este conhecido como depleção do Si-poli.

Este óxido fino de porta propicia também o tunelamento de portadores entre o canal e o Si-poli, gerando uma corrente de porta que dependendo de sua densidade também prejudica o comportamento dos transistores.

Neste trabalho são estudados teoricamente e experimentalmente os capacitores MOS obtidos através de tecnologia ultra-submicrométrica levando-se em consideração a presença do efeito de depleção do silício policristalino e do tunelamento de corrente através das curvas C-V.

1.1. Efeito de depleção no silício policristalino

O silício policristalino (Si-poli) vem sendo utilizado como material de porta de uma estrutura MOS desde 1966, quando substituiu o alumínio, com diversas vantagens[2,3].

Em um transistor MOS (metal/óxido/semicondutor), durante o processo de fabricação, a implantação iônica e o recozimento térmico utilizados para a formação das regiões N+ de fonte e dreno, também fornecem uma fonte de dopagem para a porta de Si-poli N+. Para se evitar penetração de impurezas através do óxido de porta e ainda assim manter a profundidade da junção fonte/dreno requerida, deve-se reduzir a energia da implantação iônica. Este procedimento gera uma região menos dopada do Si-poli junto ao óxido de porta [4]. Esta camada, dependendo da tensão aplicada à porta (V_G), pode vir a depletar. Este efeito conhecido como depleção do Si-poli, pode causar deslocamento da tensão de faixa plana (V_{FB}) e da tensão de limiar (V_T), redução das cargas de inversão (Q_{inv}) e por conseqüência uma redução da corrente entre dreno e fonte (I_{DS})[5].

1.1.1. Influência na Capacitância Total

A Figura 1 ilustra o perfil de um capacitor MOS com eletrodo de porta de metal e o modelo equivalente de capacitâncias associadas a estrutura MOS [6] onde C_{Si} e C_{ox} são as capacitâncias do silício do óxido de porta por unidade de área, respectivamente. A capacitância total (C_T) pode ser encontrada pela equação (1).

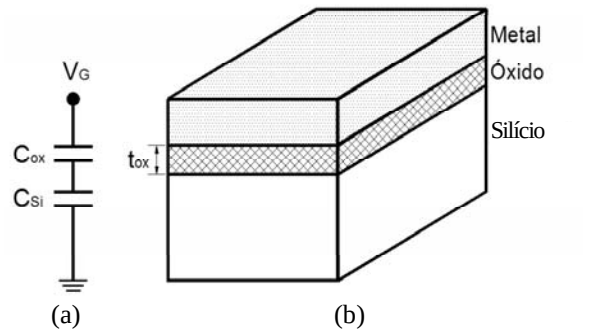
$$\frac{1}{C_T} = \frac{1}{C_{ox}} + \frac{1}{C_{Si}} \tag{1}$$

onde

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} \tag{2}$$

$$C_{Si} = \frac{\varepsilon_{Si}}{d_{Si}} \tag{3}$$

sendo ε_{ox} a permissividade do óxido de silício, ε_{Si} a permissividade do silício e d_{Si} a largura da região de depleção no silício.



(a) (b)

Figura.1 - a) Modelo equivalente de capacitâncias e o b) perfil transversal do capacitor MOS com porta de metal.

Quando se utiliza porta de Si-poli dopado no lugar do metal, deve-se incluir sua região de depleção através da capacitância do Si-poli (C_{poli}) por unidade de área, sendo acrescida na capacitância total [7], conforme a equação (4).

$$\frac{1}{C_T} = \frac{1}{C_{ox}} + \frac{1}{C_{Si}} + \frac{1}{C_{poli}} \tag{4}$$

$$C_{poli} = \frac{\varepsilon_{Si}}{d_{poli}} \tag{5}$$

onde d_{poli} é a largura da região de depleção no Si-poli.

1.1.2. Degradação na curva C-V

A curva C-V é um dos métodos mais conhecidos para caracterização de estruturas MOS, pois possibilita a extração dos parâmetros mais importantes da tecnologia como a tensão de faixa plana (V_{FB}), a tensão de limiar (V_T), a concentração de dopantes no silício (N_a), espessura do óxido de porta (t_{ox}), densidade de cargas no óxido (Q_{ss}), entre outros. Mas para uma estrutura que sofre do efeito de depleção no Si-poli, a curva C-V apresenta uma anomalia que dificulta a utilização do método convencional [8].

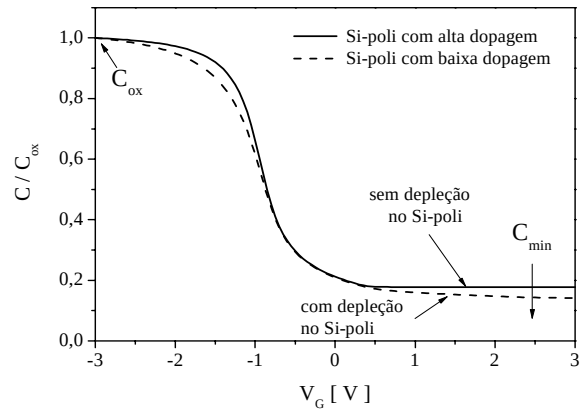


Figura 2 – Curva C - V normalizada em função de C_{ox}, simulada para um capacitor MOS, indicando a influência do efeito de depleção no Si-poli.

A Figura 2 mostra as curvas C-V normalizada em função de C_{ox}, de um capacitor MOS com substrato tipo P e porta de Si-poli N+ com alta e baixa dopagem. Sabe-se que sem o efeito de depleção do Si-poli a capacitância mínima (C_{min}) na região de inversão ($V_G > V_T$) é dada pela associação série de C_{ox} e C_{Simin}. Porém quando há depleção na região do Si-poli, C_{poli} deve ser acrescida e uma diminuição no valor da capacitância mínima (C_{min}) é observada [9].

1.2. Corrente de tunelamento

A corrente de tunelamento que atravessa óxidos de porta finos, foi inicialmente abordada por Lothar Wolfgang Nordheim (1928), que considerava que alguns elétrons no metal poderiam atravessar a barreira de potencial, representada pela superfície do metal, mesmo se tivesse energia menor que a altura da barreira [10]. Criou-se então um modelo em que a emissão de portadores se dá por dois efeitos: termiônico (aumento da temperatura) e de campo (ação do campo elétrico na superfície do metal). Posteriormente estes efeitos ficaram conhecidos como “efeito túnel” [11].

O tunelamento, através de uma barreira de potencial, pode ser caracterizado pelo coeficiente de transmissão que representa a probabilidade de um elétron atravessar a barreira, sendo este dependente do formato (triangular, retangular), da altura, da largura e da espessura do óxido.

Analisando-se o formato da barreira em que o portador precisa atravessar, a corrente de tunelamento pela porta pode ser estudada em três regimes de operação, conforme mostra a Figura 3.

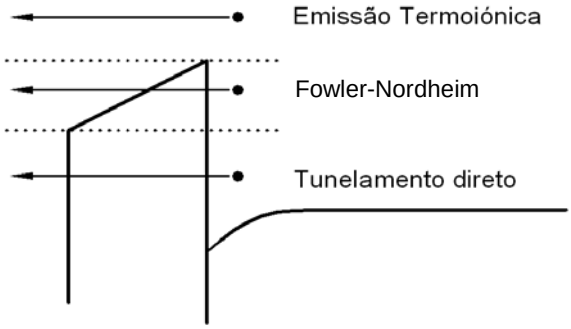


Figura 3 - Diagrama de faixas exemplificando os três principais tipos de corrente de tunelamento.

A teoria da emissão termiônica assume que os elétrons irão atravessá-la independente de seu formato.

Para óxidos com espessuras t_{ox}>6nm, a corrente de fuga é explicada pelo tunelamento de elétrons pelo modelo Fowler - Nordheim, onde sua barreira é dita como triangular. Óxidos menores sofrem tunelamento direto de corrente, pois possuem energia suficiente para atravessar a fina barreira trapezoidal, passando direto pela faixa proibida do óxido [12].

A Figura 4 mostra a curva da densidade da corrente de tunelamento (J_G) em função da tensão aplicada à porta (V_G), para uma estrutura Si-poli N+ / SiO_2 / Substrato P. Pode-se observar que a tensão aplicada na porta (V_G) também influência na escolha do modelo de tunelamento, pois quanto menor t_{ox} e V_G, mais a curva experimental deixa de ser comparada com a curva simulada com o modelo de corrente de tunelamento por

Fowler-Nordheim, e tende a se igualar à curva com o modelo da corrente de tunelamento direto. Neste ponto há uma transição do formato da barreira de triangular para trapezoidal.

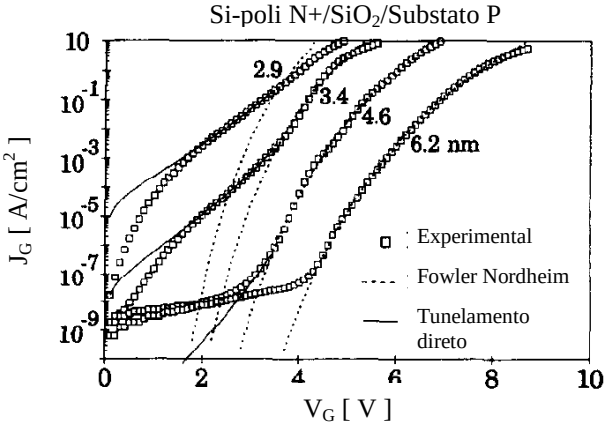


Figura 4 – Curvas da densidade da corrente de tunelamento (J_G) em função de V_G para diferentes t_{ox}.

1.2.1. Degradação da curva C-V

A Figura 5 mostra uma curva C-V normalizada em função de C_{ox}, para uma estrutura alumínio / SiO_2 / Substrato P, onde pode-se observar que a curva com tunelamento apresenta uma redução em C_{min} na região de inversão [13].

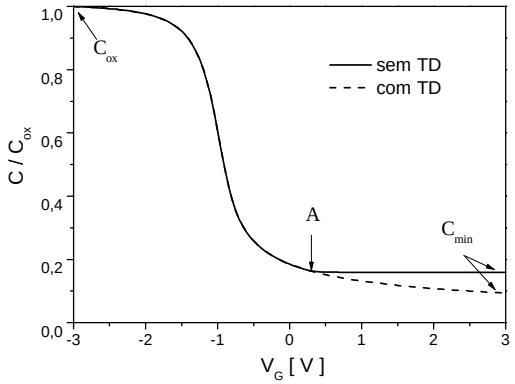


Figura 5 – Curva C-V simulada demonstrando a influência da corrente de tunelamento [13].

Uma estrutura que sofre o efeito da corrente de tunelamento direto (TD) pela porta, tem seu Nível de Fermi (ϕ_F) aumentado, devido ao excesso de portadores que tunelam do substrato acumulando-se na porta. Como conseqüência, para uma mesma tensão de porta, o potencial de superfície(ϕ_S) aumenta para assegurar que a região de depleção continue invertida. Logo este aumento em ϕ_S gerado pelo tunelamento, faz com que a largura da região de depleção (d_{Si}) aumente e com que a capacitância do silício (C_{Si}) diminua.

2. Simulação numérica Bidimensional

Serão apresentadas neste item as simulações numéricas bidimensionais, realizadas com o simulador MEDICI [14], para analisar a influência do efeito de depleção no Si-poli e da corrente de tunelamento direto nas características dos capacitores MOS.

2.1. Efeito de depleção no Si-poli

Na Figura 6 estão apresentadas curvas C-V com as seguintes características: t_{ox} = 2,5nm, espessura do Si-poli (t_{poli}) de 40nm, concentração de dopantes no substrato (N_a) de $1x10^{18}$ cm^{-3} e diferentes concentrações de dopantes do Si-poli N+(N_{poli}= $1x10^{20}$, $5x10^{19}$, $1x10^{19}$, $5x10^{18}$ e $1x10^{18}$ cm^{-3}) e também um dispositivo com contato de Si-poli N+ altamente dopado, onde o efeito de depleção no Si-poli é desconsiderado. Pode-se observar que a capacitância mínima (C_{min}) na região de inversão apresenta uma queda conforme a concentração de dopantes do Si-poli diminui, resultado da depleção do Si-poli.

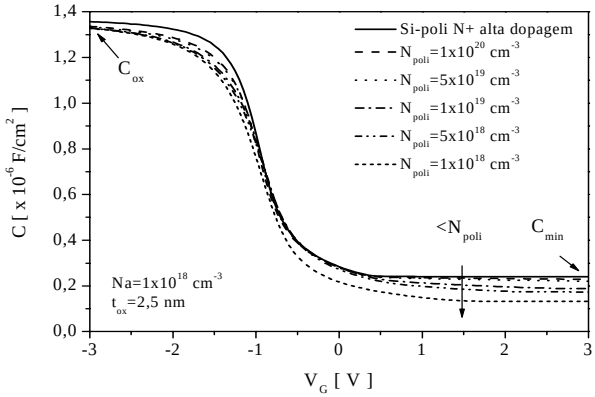


Figura 6 - Curvas C - V simuladas para um capacitor com porta de Si-poli N+.

2.2. Corrente de tunelamento [15]

Os resultados apresentados no item 4.1 foram obtidos desconsiderando-se a corrente de tunelamento pela porta. Entretanto, conforme visto no item 3, uma vez que as espessuras dos óxidos são reduzidas, o modelo da corrente de tunelamento deve-se ser inserido nas simulações, a fim de se analisar as degradações causadas nas características dos capacitores MOS. Pelo fato de terem sido simulados dispositivos com óxidos inferiores a t_{ox}<3 nm, o modelo da corrente de tunelamento direto foi utilizado nos arquivos de simulação.

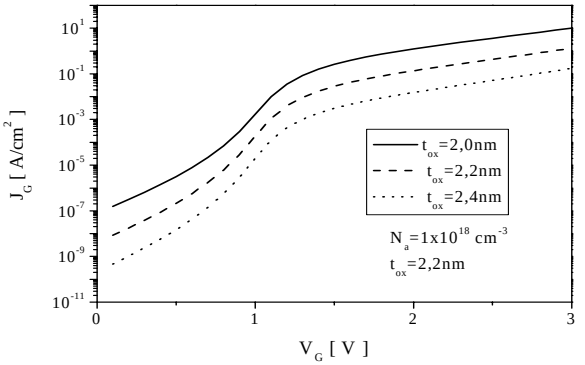


Figura 7 – Curvas da densidade de corrente (J_G) em função de V_G, para diferentes t_{ox}.

Na Figura 7 foram simuladas curvas J_G - V_G, para capacitores MOS tipo P com porta de alumínio, N_a=1x10^{18} cm^{-3}, t_{ox} variando entre 2 e 2,4nm. Pode-se observar que quanto mais fina a espessura do óxido de porta maior será a corrente, pois a barreira que os portadores tem que atravessar é menor.

2.3. Efeito da depleção no Si-poli e da corrente de tunelamento direto

Para se estudar a ocorrência dos dois efeitos em conjunto foram simuladas curvas C-V (Figura 8) através de capacitores MOS tipo P com N_a=1x10^{18} cm^{-3}, t_{ox}=2,2nm, onde na curva (a) foi utilizado alumínio na porta (não há efeito de depleção no Si-poli), na curva (b) porta de Si-poli N+ com uma concentração de N_{poli}=1x10^{19} cm^{-3}, considerando a presença de depleção no Si-poli, e finalmente na curva (c) porta de Si-poli N+ com a mesma concentração da anterior, mas agora inserindo-se o modelo de tunelamento.

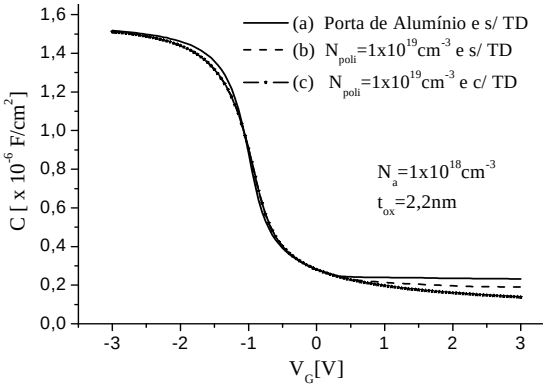


Figura 8 – Curvas C-V com (a) porta de alumínio, (b) porta Si-poli N+ e (c) porta Si-poli N+ e TD.

Analisando-se a região de inversão, a impressão que se tem é que o efeito da depleção do Si-poli e o efeito da corrente de tunelamento direto se somam. Mas as regiões de depleção do Si-poli e do silício são alteradas pela corrente de tunelamento direto, assim como C_{poli} e C_{Si}. Logo o menor valor de C_{min} da curva (c) visto na Figura 8, não pode ser dito que é o resultado da soma dos efeitos, pois C_{poli} aumenta e C_{Si} diminui. Como C_{Si} é muito menor que C_{poli} e C_{ox}, pode-se concluir que a redução em C_{min} de uma curva C-V que sofre de ambos os efeitos, deve-se em grande parte à diminuição excessiva de C_{Si}.

3. Método para extração da concentração efetiva de dopantes do Si-poli (N_{poli})[16,17]

Um novo método para extração da concentração efetiva de dopantes do Si-poli (N_{poli}), desenvolvido através da curva característica (C-V) operando em alta freqüência, de um capacitor MOS é apresentado. Simulações numéricas foram executadas para a validação do método proposto, assim como medidas experimentais.

3.1. Proposta do método

A Figura 9 apresenta curvas C-V normalizadas em função de C_{ox} de um capacitor MOS com porta de Si-poli N+ com alta e baixa dopagem. Observa-se que as duas curvas tem um ponto em comum, chamado de C_x, e que corresponde a uma tensão aplicada na porta (V_G) que dá início a depleção na região do Si-poli. Na curva com alta dopagem no Si-poli, a capacitância C1 é a associação série da capacitância do óxido de porta (C_{ox}) com a capacitância do silício (C_{Si}), e o efeito de depleção no Si-poli não é observado. A curva com baixa dopagem tem a capacitância C2 como sendo a associação série das capacitâncias do Si-poli (C_{poli}), do óxido de porta (C_{ox}) e do silício (C_{Si}).

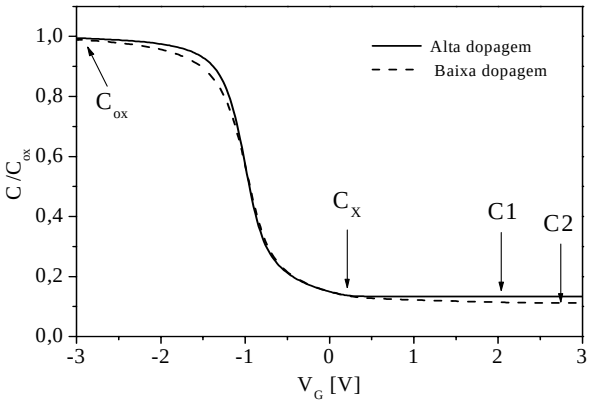


Figura 9 – Curvas C-V normalizada em função de C_{ox} de um capacitor MOS com porta Si-poli N+.

Como não é possível obter experimentalmente uma curva C-V com e sem depleção no Si-poli, o ponto C1 foi extraído da segunda derivada da curva C-V através de um ponto máximo presente na região de inversão, conforme Figura 10. Observou-se por simulação que o ponto V_{Gx} representa a tensão de porta em que a depleção no Si-poli inicia.

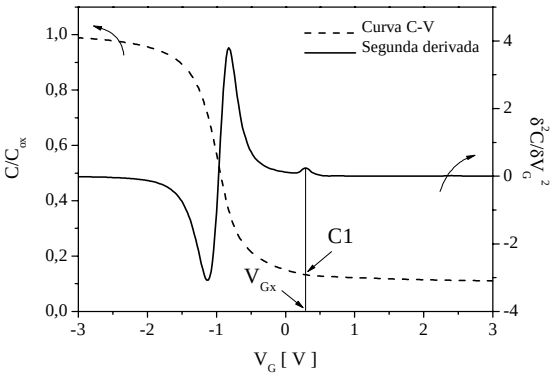


Figura 10 - Curva C-V normalizada em função de C_{ox} e a respectiva segunda derivada.

Com os valores extraídos de C_{ox} e C1 pode-se calcular a capacitância máxima do silício ($C_{Simáx}$), como mostra a equação (6).

$$C_{Simáx} = \frac{C_{ox}C1}{C_{ox} - C1} \qquad (6)$$

$$d_{Simáx} = \frac{\varepsilon_{Si}}{C_{Simáx}} \quad (7)$$

Com a largura máxima da região de depleção ($d_{Simáx}$), a concentração efetiva de dopantes na região do silício (N_a) é determinada iterativamente (devido a equação ser transcendental) conforme equação (8)[6].

$$N_a = \frac{4\varepsilon_{Si}}{q d_{Si\,máx}^{\,2}} \frac{kT}{q} \ln \frac{N_a}{n_i} \quad (8)$$

sendo k constante de Boltzmann, T temperatura e n_i concentração intrínseca de portadores

Utilizando-se a curva com baixa dopagem no Si-poli, pode-se extrair o ponto C2, que juntamente com C1 extraído anteriormente, torna-se possível calcular a capacitância máxima do Si-poli ($C_{poli_{máx}}$), equação (9).

$$C_{poli\,máx} = \frac{C1C2}{C1 - C2} \quad (9)$$

$$d_{poli\,máx} = \frac{\varepsilon_{Si}}{C_{poli}} \quad (10)$$

Com a largura máxima da região de depleção no Si-poli ($d_{poli_{máx}}$) e de maneira análoga, a concentração de dopantes do Si-poli (N_{poli}) também pode ser estimada iterativamente, através da equação (11).

$$N_{poli} = \frac{4\varepsilon_{Si}}{q \cdot d_{poli\,máx}^{\,2}} \frac{kT}{q} \ln \frac{N_{poli}}{n_i} \quad (11)$$

Para óxidos menores que 2,5 nm o método proposto não pode ser aplicado pois quando inserido o modelo da corrente de tunelamento direto o pico máximo na região de inversão, extraído da segunda derivada da curva C-V, desaparece e o método não tem mais validade.

3.2. Simulações e resultados

Foram simuladas curvas C-V de capacitores MOS convencionais com substrato P, t_{ox}=2,5nm, 150nm de espessura do substrato de silício (t_{Si}), 40 nm de espessura de Si-poli (t_{poli}), 1μm de comprimento e largura de canal, diferentes concentrações de dopantes do Si-poli (N_{poli}=1x10^{19} e 5x10^{19} cm^{-3}) e diferentes concentrações de dopantes do substrato (N_a=5x10^{17} e 1x10^{18} cm^{-3}). Através das curvas e suas respectivas derivadas, foram extraídas as capacitâncias C_{ox}, C1 e C2 e aplicado o método. A Tabela I apresenta uma comparação dos resultados de N_a e N_{poli} obtidos pelo método proposto com os valores utilizados na simulação.

A Tabela II mostra o erro percentual máximo encontrado na extração de N_a e N_{poli} com o método proposto em função dos valores simulados.

Tabela I - Valores de C1, C2 e C_{ox}, em μF/cm^2 extraídos das simulações e os valores de N_a e N_{poli} determinados pelo método proposto.

Simulados		Dados extraídos			Método proposto	
N_a [cm^{-3}]	N_{poli} [cm^{-3}]	C1	C2	C_{ox}	N_a [cm^{-3}]	N_{poli} [cm^{-3}]
5x10^{17}	1x10^{19}	0,18	0,15	1,35	4,6x10^{17}	1,1x10^{19}
	5x10^{19}	0,19	1,69	1,36	5,1x10^{17}	4,8x10^{19}
1x10^{18}	1x10^{19}	0,23	0,19	1,35	0,8x10^{18}	1,4x10^{19}
	5x10^{19}	2,45	0,29	1,36	1,0x10^{18}	5,6x10^{19}

Tabela II - Erro percentual máximo de N_a e N_{poli}.

Parâmetros simulados		N_a [%]	N_{poli} [%]
N_a [cm^{-3}]	N_{poli} [cm^{-3}]		
5x10^{17}	1x10^{19}	7	13
	5x10^{19}	1,2	4,2
1x10^{18}	1x10^{19}	15	44
	5x10^{19}	1	12

4. Resultados experimentais

Para obtenção das curvas C-V foi utilizado um analisador de parâmetros LCR HP4280, onde o substrato foi aterrado. Um degrau lento foi aplicado para a polarização estática (DC) do capacitor MOS e um sinal alternado de alta freqüência (1 MHz) e baixa amplitude de 10mV, para se extrair a capacitância diferencial da estrutura. A medida foi realizada da inversão para a acumulação e em ambiente sem a presença de luz.

As medidas foram realizadas em capacitores com substrato P e porta de Si-poli N+, área de A=12x10^{-6} cm^2, t_ox=2,5 nm, uma concentração superficial na interface do substrato com o óxido de porta de 1x10^{18} cm^{-3} e no corpo de 5x10^{17} cm^{-3}, aproximadamente.

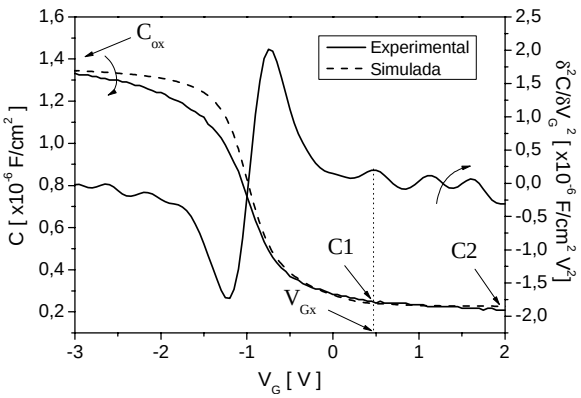


Figura 11 – Curva C-V experimental com sua respectiva segunda derivada e simulada.

Da curva experimental foi obtida a capacitância do óxido de porta C_{ox}=1,34x10^{-6} F/cm^2 e uma capacitância mínima C2=0,21x10^{-6} F/cm^2. A partir da segunda derivada da mesma foi extraída a tensão V_{Gx}=0,50 V e sua referente capacitância C1=0,24x10^{-6} F/cm^2, conforme mostra a Figura 11 juntamente com uma simulada.

Aplicando-se o método proposto obteve-se uma espessura equivalente no óxido de porta de t_{ox}=2,57 nm, uma concentração de dopantes no silício N_a=0,98x10^{18}

cm^{-3} e uma concentração de dopantes no Si-poli $N_{poli}=3{,}06x10^{19}$ cm^{-3}. Todos os resultados obtidos estão coerentes para esta tecnologia e pode-se observar que a curva simulada teve um boa aproximação da curva experimental.

5. Conclusões

Neste trabalho foi apresentado um estudo da influência dos efeitos da depleção do Si-poli e da corrente de tunelamento em capacitores obtidos através de tecnologia ultra-submicrométrica, com o auxílio de curvas C-V.

A análise destes efeitos foi realizada através de simulações numéricas bidimensionais, que possibilitam a simulação isolada de cada um destes efeitos.

Com os resultados obtidos, foi verificada a influência da corrente de tunelamento direto na largura da região de depleção no silício, a qual aumenta, ao invés de estabilizar em um único valor, à medida que a tensão de porta aumenta. Foram ainda simuladas curvas da densidade de corrente de tunelamento em função da tensão de porta, onde pôde ser observado que ocorre um aumento da corrente nos capacitores com óxidos de porta mais finos e com tensões de porta maiores.

Após a análise dos dois efeitos isoladamente, foram realizadas simulações considerando tanto a depleção do Si-poli quanto a existência da corrente de tunelamento. Foi observado que, para altas concentrações de dopantes no Si-poli, há uma maior densidade de corrente de tunelamento à medida que a tensão de porta aumenta. Neste caso, a região de depleção no Si-poli é muito fina, e quase toda a tensão de porta sobrecai no óxido de porta.

Finalmente, um novo método de extração da concentração de dopantes no substrato (N_a) e no Si-poli (N_{poli}) foi proposto através da extração de alguns pontos notáveis da curva C-V e de sua segunda derivada. Simulações validaram o método proposto, onde o erro máximo obtido na determinação da concentração de dopantes do substrato (N_a) e do Si-poli (N_{poli}) foi de 15% e 44%, respectivamente. Tais erros devem-se às imprecisões típicas das extrações das capacitâncias que são utilizadas no método.

O método proposto também foi aplicado experimentalmente, e os resultados obtidos são coerentes para a tecnologia analisada.

Referências Bibliográficas

[1] S. Thompson, P. Packan, et al, **MOS Scaling: Transistor challenges for the 21st century**, Intel Technology Journal, v. 2, n.3, 1998.

[2] B. G. Streetman, **Solid State Electronic devices.** 4.ed. Ed. New Jersey: Prentice Hall, 2000.

[3] R. C. Teixeira et al**., Deposition and characterization of LPCVD Polycrystalline Silicon**. Proceedings of COBEM, v.19, p.62-70, 2001.

[4] J. J. Liou et al, **Influence of polysilicon-gate depletion on the subthreshold behavior of submicron MOSFETs**, Microelectronics Reliability**,** v.42, n.3, p.343-347, 2002.

[5] P. Habas; J. V. Faricelli, **Investigation of the physical modeling of the gate-depletion effect**, IEEE Transactions on Electron Devices, v.38, n.6, p.1496-1500, 1992.

[6] J. A. Martino, M. A. Pavanello, P. B. Verdonck, **Caracterização elétrica de tecnologia e dispositivos MOS,** 1 ed., Ed. São Paulo: Pioneira Thomson Learning, 2003.

[7] G. Yaron et al, **Capacitance voltage characterization of poly Si-SiO_2-Si structures,** Solid-State Electronics, v.23, n.5, p.433-439, 1980.

[8] S. –H. Lo et al, **Modeling and characterization, of quantization, polysilicon depletion and direct tunneling effects in MOSFETs with ultrathin oxides,** IBM Journal of Research and Development, v.43, n.3, p.327-337, 1999.

[9] L. Larcher, P. Pavan, F. Pellizzer, G. A. Ghidini, **A new model of gate capacitance as a simple tool to extract MOS parameters,** IEEE Transactions on Electron Devices, v.48, n.5, p.935-945, 2001.

[10] L. Nordheim, **Zur Theorie der thermischen Emission und der Reflexion von Elektronen an Metallen,** Zeits. für Phys, v.46, n.11-12 p. 833-855, 1928.

[11] L. Esaki, R. Tsu, **Superlattice and negative differential conductivity in semiconductors**, IBM Journal of Research and Development, v.14, n.4, p.61-65, 1970.

[12] L. Larcher, A. Paccagnella, G. Ghidini, **Gate current in ultrathin MOS capacitors: A new model of tunnel current,** IEEE Transactions on Electron Devices, v.48, n.2, p.271-278, 2001.

[13] D. Vasileska, D. K. Schroder, D. K. Ferry, **Scaled silicon MOSFET's: Degradation of the total gate capacitance**, IEEE Transactions on Electron Devices, v. 44, n. 4, p. 584-587, 1997.

[14] TMA MEDICI, version 4.0, 1997.

[15] M. Rodrigues, V. Sonnenberg, J. A. Martino, **Influence of the tunneling gate current on C-V curves**, Microelectronics Technology and Devices SBMicro 2006, p. 301-307, 2006.

[16] M. Rodrigues, **Caracterização elétrica de capacitores obidos através de tecnologia ultra-submicrométrica**, Dissertação de Mestrado, EPUSP, 100 p., 2006.

[17] M. Rodrigues, V. Sonnenberg, J. A. Martino, **Simple method to determine the poly gate doping concentration based on poly depletion effect,** Microelectronics Technology and Devices SBMicro 2005, p. 180-187, 2005.

Agradecimentos

Os autores Michele Rodrigues e João Antonio Martino agradecem à CAPES e ao CNPq, respectivamente, pelo apoio financeiro.

Agradecemos ao IMEC da Bélgica pelos dispositivos fornecidos.